

SOIP0506 US00

4/PD

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 4月12日

出 願 番 号

Application Number:

特願2000-110139

出 願 人

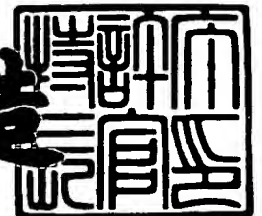
Applicant(s):

ソニー株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3012335

【書類名】 特許願

【整理番号】 9900969801

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/10

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 田中 均洋

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【代理人】

【識別番号】 100086298

【弁理士】

【氏名又は名称】 船橋 國則

【電話番号】 046-228-9850

【手数料の表示】

【予納台帳番号】 007364

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 強誘電体薄膜を用いたキャパシタを備えた不揮発性半導体記憶装置において、

前記キャパシタへの印加電圧としてみたとき、前記不揮発性半導体記憶装置の動作保証限界温度における見かけの抗電界値は、所定温度での抗電界値における前記不揮発性半導体記憶装置の設計裕度の範囲内にある

ことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記キャパシタへの印加電圧としてみたとき、見かけの抗電界の温度変化率は、前記不揮発性半導体記憶装置の動作保証温度の範囲において 0.3 % / °C 以下である

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 前記強誘電体薄膜は、
強誘電体－常誘電体相転移点が 800 °C 以上の金属酸化物からなる
ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 4】 前記強誘電体－常誘電体相転移点が 800 °C 以上の金属酸化物は、

層状構造を有する金属酸化物もしくは $\text{Sr}_2\text{Nb}_2\text{O}_7$ 構造を有する金属酸化物からなる

ことを特徴とする請求項 3 記載の不揮発性半導体記憶装置。

【請求項 5】 前記キャパシタは、
前記不揮発性半導体記憶装置の動作保証温度範囲において温度上昇とともに誘電率が減少する温度依存性を有する誘電体薄膜を備えた誘電体キャパシタと、
強誘電体薄膜を備えた強誘電体キャパシタと
が直列に接続された複合キャパシタからなる
ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】 前記複合キャパシタは、
前記不揮発性半導体記憶装置の動作保証温度範囲において温度上昇とともに誘

電率が減少する温度依存性を有する誘電体薄膜と、

前記動作保証温度範囲において強誘電性を示す強誘電体薄膜とが、
前記誘電体薄膜と前記強誘電体薄膜との間に挟まれた導電性薄膜と
によって複合化された強誘電性を示す複合薄膜を備えたものからなる
ことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 前記不揮発性半導体記憶装置の動作保証温度範囲において温度上昇とともに誘電率が減少する温度依存性を有する誘電体薄膜は、
緩和型強誘電性薄膜からなる

ことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 8】 前記不揮発性半導体記憶装置の動作保証温度範囲において温度上昇とともに誘電率が減少する温度依存性を有する誘電体薄膜は、
緩和型強誘電性薄膜からなる

ことを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 9】 前記緩和型強誘電性薄膜は、
ペロブスカイト構造を有する金属酸化物からなる
ことを特徴とする請求項 7 記載の不揮発性半導体記憶装置。

【請求項 10】 前記緩和型強誘電性薄膜は、
ペロブスカイト構造を有する金属酸化物からなる
ことを特徴とする請求項 8 記載の不揮発性半導体記憶装置。

【請求項 11】 前記強誘電体薄膜は、
 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-y})\text{O}_3$ 、(ただし $0.1 \leq x \leq 0.8$) で表される PZ
T、

または PZT に La もしくは Nb を添加したもの、

または PZT の Pb の一部を La に、もしくは (Zr, Ti) の一部を Nb に
置換したもの

からなることを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 12】 前記強誘電体薄膜は、
 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-y})\text{O}_3$ 、(ただし $0.1 \leq x \leq 0.8$) で表される PZ
T、

または P Z T に L a もしくは N b を添加したもの、

または P Z T の P b の一部を L a に、もしくは (Z r , T i) の一部を N b に
置換したもの

からなることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 1 3】 前記強誘電体薄膜は、

$Sr_{1-x}Bi_{2+x}Ta_2O_9$ (ただし $0.01 \leq x \leq 0.3$)

または $Sr_{1-x}Bi_{2+x}Nb_2O_9$ (ただし $0.01 \leq x \leq 0.3$)

または $Sr_{1-x}Bi_{2+x}(Ta_{1-y}Nb_y)O_9$ (ただし $0.01 \leq x \leq 0.3$ 、
 $0.1 \leq y \leq 0.5$)

からなることを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 1 4】 前記強誘電体薄膜は、

$Sr_{1-x}Bi_{2+x}Ta_2O_9$ (ただし $0.01 \leq x \leq 0.3$)

または $Sr_{1-x}Bi_{2+x}Nb_2O_9$ (ただし $0.01 \leq x \leq 0.3$)

または $Sr_{1-x}Bi_{2+x}(Ta_{1-y}Nb_y)O_9$ (ただし $0.01 \leq x \leq 0.3$ 、
 $0.1 \leq y \leq 0.5$)

からなることを特徴とする請求項 6 記載の不揮発性半導体記憶装置。

【請求項 1 5】 前記複合キャパシタの前記誘電体キャパシタと前記強誘電
体キャパシタとの接続は、

金属もしくは導電性金属酸化物からなる、

ことを特徴とする請求項 5 記載の不揮発性半導体記憶装置。

【請求項 1 6】 前記キャパシタは、

前記不揮発性半導体記憶装置の動作保証温度範囲において温度上昇とともに誘
電率が減少する温度依存性を有する誘電体薄膜と、

前記動作保証温度範囲において強誘電性を示す強誘電体薄膜と

が積層されてなる強誘電性を示す薄膜からなる

ことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 1 7】 前記不揮発性半導体記憶装置の動作保証温度範囲において
温度上昇とともに誘電率が減少する温度依存性を有する誘電体薄膜は、

緩和型強誘電性薄膜からなる

ことを特徴とする請求項 1 6 記載の不揮発性半導体記憶装置。

【請求項 1 8】 前記緩和型強誘電性薄膜は、

ペロブスカイト構造を有する金属酸化物からなる

ことを特徴とする請求項 1 7 記載の不揮発性半導体記憶装置。

【請求項 1 9】 前記強誘電体薄膜は、

$Pb (Zr_x Ti_{1-y}) O_3$ 、(ただし $0.1 \leq x \leq 0.8$) で表される P Z T、

または P Z T に L a もしくは N b を添加したもの、

または P Z T の P b の一部を L a に、もしくは (Z r, T i) の一部を N b に置換したもの

からなることを特徴とする請求項 1 6 記載の不揮発性半導体記憶装置。

【請求項 2 0】 前記強誘電体薄膜は、

$Sr_{1-x} Bi_{2+x} Ta_2 O_9$ (ただし $0.01 \leq x \leq 0.3$)

または $Sr_{1-x} Bi_{2+x} Nb_2 O_9$ (ただし $0.01 \leq x \leq 0.3$)

または $Sr_{1-x} Bi_{2+x} (Ta_{1-y} Nb_y) O_9$ (ただし $0.01 \leq x \leq 0.3$ 、 $0.1 \leq y \leq 0.5$)

からなることを特徴とする請求項 1 6 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、不揮発性半導体記憶装置に関し、詳しくは強誘電体薄膜を用いた不揮発性半導体記憶装置に関する。

【0 0 0 2】

【従来の技術】

半導体記憶素子に強誘電体薄膜を用いて高集積な不揮発性記憶装置を構成したものが種々提案されている。これらの不揮発性記憶装置を設計もしくは製造する際には、強誘電体薄膜の残留自発分極値、抗電界の動作保証温度内での変化量が、設計の余裕を決定するときの目安の一つとなっている。

【0 0 0 3】

【発明が解決しようとする課題】

しかしながら、設計余裕を確保することが、デバイス設計の自由度に制限をもたらしており、高集積メモリデバイスを実現する一つの障害となっている。

【0004】

【課題を解決するための手段】

本発明は、上記課題を解決するためになされた不揮発性半導体記憶装置である。

【0005】

本発明の不揮発性半導体記憶装置は、強誘電体薄膜を用いたキャパシタを備えた不揮発性半導体記憶装置において、キャパシタへの印加電圧としてみたとき、不揮発性半導体記憶装置の動作保証限界温度における見かけの抗電界値は、所定温度での抗電界値における不揮発性半導体記憶装置の設計裕度の範囲内にあるものである。

【0006】

例えば、前記キャパシタへの印加電圧としてみたとき、見かけの抗電界の温度変化率は、前記不揮発性半導体記憶装置の動作保証温度の範囲において0.3%/°C以下となっているものである。また、キャパシタの構造を、不揮発性半導体記憶装置の動作保証温度範囲において温度上昇とともに誘電率が減少する温度依存性を有する誘電体薄膜を備えた誘電体キャパシタと、強誘電体薄膜を備えた強誘電体キャパシタとが直列に接続された複合キャパシタ構造とすることによって、抗電界に係わる設計裕度を下げたものである。

【0007】

上記不揮発性半導体記憶装置では、動作保証温度内での抗電界の変化を最小限に抑えるため、強誘電体薄膜を用いた高集積不揮発性記憶素子の設計裕度が小さくなり、高集積、強誘電体不揮発性記憶装置が実現される。

【0008】

通常、強誘電体の抗電界は、試料の温度 T 、強誘電相転移温度 T_c とすると、 $(T - T_c)$ の1.5乗に比例して減少する。したがって、例えば、室温から80°Cまでの温度上昇にともなう抗電界の変化を10%以内に抑えるためには、 T

cは約800℃以上である必要がある。このことから、強誘電体薄膜の材料を選択すると、 LiNbO_3 ($T_c=1483\text{K}$)、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 構造を持つ、 $\text{La}_2\text{Ti}_2\text{O}_7$ ($T_c=1773\text{K}$)、 $\text{Nd}_2\text{Ti}_2\text{O}_7$ ($T_c=1773\text{K}$)、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ ($T_c=1615\text{K}$)、層状構造を持つ、 Bi_2WO_6 ($T_c=1208\text{K}$)、 $\text{Bi}_3\text{TiNbO}_9$ ($T_c=1213\text{K}$)、 $\text{Bi}_3\text{TiTaO}_9$ ($T_c=1143\text{K}$) などが候補となる。

【0009】

また、上記不揮発性半導体記憶装置では、キャパシタを複合キャパシタ構造とすることによって、抗電界に係わる設計の裕度が下がる。このことによって、強誘電体を用いた高集積不揮発性記憶素子の設計裕度が小さくなり、高集積、強誘電体不揮発性記憶装置が実現される。

【0010】

上記複合キャパシタは、例えば、強誘電体キャパシタと、材料温度の上昇にともなって誘電率が減少する傾向を有する誘電率の温度依存性を持つ誘電体薄膜を用いたキャパシタ（補償キャパシタ）とを直列に接続したものである。この複合キャパシタでは、キャパシタ温度の上昇とともに強誘電体キャパシタに印加される電圧を減少させることによって、抗電界の温度依存性が補償される。

【0011】

抗電界の温度依存性を補償することができる補償キャパシタ材料としては、例えばペロブスカイト構造 (ABO_3) を有する強誘電体のB位置が二種の元素の混合体で構成された、 $\text{Pb}(\text{M}_{1/3}\text{Nb}_{2/3})\text{O}_3$ [ただし $\text{M}=\text{Co}, \text{Ni}, \text{Mg}$]、 $\text{Pb}(\text{M}_{1/3}\text{Ta}_{2/3})\text{O}_3$ [ただし $\text{M}=\text{Co}, \text{Ni}, \text{Mg}$]、 $\text{Pb}(\text{Fe}_{2/3}\text{W}_{1/3})\text{O}_3$ がある。これらの物質は、常誘電相から強誘電相への相変化がデバイスの動作保証温度（例えば -40°C ）より十分に低温である、 $180\text{K}\sim 80\text{K}$ 近傍で起こり、デバイス保証温度では自発分極を持たず、誘電率の高い誘電体としての性質を持っている。

【0012】

そして、複合キャパシタに印加された電圧は、強誘電体キャパシタと補償キャパシタとに分配される。補償キャパシタに分配される電圧は、補償を効果的に

うことと、必要以上の電圧を配分しないので、デバイスの動作電圧を抑制することとのバランスによって決まる。

【 0 0 1 3 】

例えば、強誘電体キャパシタとして S B T 薄膜を用いる場合には、補償キャパシタが強誘電体キャパシタと同様の形状を持つとすると、補償キャパシタに係る電圧が S B T のその 0.5 程度であるためには、誘電率は 500 程度以上が必要である。また、例えば、強誘電体キャパシタとして P Z T 薄膜を用いる場合には、さらに高い誘電率をもつ材料を補償キャパシタの薄膜材料として用いることが望ましい。

【 0 0 1 4 】

【発明の実施の形態】

抗電界の動作保証温度内での変化を最小限に抑えるように、強誘電体薄膜の材料を選択することによって、強誘電体薄膜を用いた高集積不揮発性記憶素子の設計裕度を小さくして、高集積、強誘電体不揮発性記憶装置を実現する。

【 0 0 1 5 】

本発明の不揮発性半導体記憶装置に係る第 1 の実施の形態を、図 1 の概略構成断面図によって説明する。

【 0 0 1 6 】

図 1 に示すように、半導体基板（例えば p 型シリコン基板）11 上には素子形成領域を分離する素子分離酸化膜 12 が形成されている。上記半導体基板 11 の素子形成領域には、例えば厚さが 1.5 nm の酸化シリコン膜と例えば厚さが 2 nm の窒化シリコン膜からなるゲート絶縁膜 13 が形成されている。

【 0 0 1 7 】

上記ゲート絶縁膜 13 上にはゲート電極 14 が形成されている。さらにゲート電極 14 の一方側の半導体基板 11 にはソース領域 15 が形成され、他方側の半導体基板 11 にはドレイン領域 16 が形成されている。このように、トランジスタ T r が構成されている。

【 0 0 1 8 】

上記半導体基板 11 上にはトランジスタ T r を覆う第 1 の層間絶縁膜 17 が例

例えば酸化シリコン膜を 700 nm の厚さに堆積して形成されている。この第 1 の層間絶縁膜 17 には、ドレイン領域 16 に通じるコンタクトホール 18 およびこのコンタクトホール 18 に連続する接続パターン溝 19 が形成されている。このコンタクトホール 18 内にはポリシリコンからなるプラグ 20 が形成され、接続パターン溝 19 内にはポリシリコンからなる導電性パターン 21 が形成されている。なお、図面に示すように、上記導電性パターン 21 の上層部にはシリサイド層 41 が形成されているもよい。

【0019】

上記第 1 の層間絶縁膜 17 上には、上記導電性パターン 21 に接続するバリア層 22 が形成されている。このバリア層 22 は、一例として、20 nm の厚さに成膜したチタン (Ti) 膜とその上に 50 nm の厚さに成膜した窒化チタン (TiN) 薄膜とからなる。

【0020】

上記バリア層 22 上には、白金薄膜からなる下部電極 31 が、例えば 200 nm の厚さに形成されている。また上記下部電極 31 上には、例えば膜厚が 80 nm ~ 120 nm の $\text{Bi}_3\text{TiTaO}_9$ 薄膜からなる強誘電体薄膜 24 が形成されている。さらに上記強誘電体薄膜 24 上には、白金薄膜からなる上部電極 32 が形成されている。上記のごとくに、キャパシタ 30 は、下部電極 31、強誘電体薄膜 24 および上部電極 32 で構成されている。

【0021】

上記強誘電体薄膜 24 は、強誘電体-常誘電体相転移点が 800℃ 以上の金属酸化物として、層状構造を有する金属酸化物もしくは $\text{Sr}_2\text{Nb}_2\text{O}_7$ 構造を有する金属酸化物であれば、 $\text{Bi}_3\text{TiTaO}_9$ に限定されない。

【0022】

さらに上記キャパシタ 30 を覆う状態に、酸化シリコン膜を例えば 200 nm の厚さに堆積した第 2 の層間絶縁膜 35 が形成されている。この第 2 の層間絶縁膜 35 には、上部電極 32 に達する接続孔 36 が形成されている。上記第 2 の層間絶縁膜 35 上には、接続孔 36 を通じて上部電極 32 に接続する配線 37 が形成されている。上記第 2 の層間絶縁膜 35 上には配線 37 を覆う保護膜 38 が形

成され、その保護膜 38 にはパッド（図示せず）が形成されている。

【0023】

通常、強誘電体の抗電界は、試料の温度 T 、強誘電相転移温度 T_c 、とすると、 $(T - T_c)$ の 1.5 乗に比例して減少する。したがって、例えば、室温から 80℃までの温度上昇にともなう抗電界の変化を 10%以内に抑えるためには、 T_c は約 800℃以上である必要がある。このことから、強誘電体材料を選択すると、 LiNbO_3 ($T_c = 1483\text{K}$)、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 構造を持つ、 $\text{La}_2\text{Ti}_2\text{O}_7$ ($T_c = 1773\text{K}$)、 $\text{Nd}_2\text{Ti}_2\text{O}_7$ ($T_c = 1773\text{K}$)、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ ($T_c = 1615\text{K}$)、層状構造を持つ、 Bi_2WO_6 ($T_c = 1208\text{K}$)、 $\text{Bi}_3\text{TiNbO}_9$ ($T_c = 1213\text{K}$)、 $\text{Bi}_3\text{TiTaO}_9$ ($T_c = 1143\text{K}$) などが候補となる。さらに、見かけの抗電界の温度変化率が、不揮発性半導体記憶装置の動作保証温度の範囲において 0.3%/℃以下となること、結晶化のし易さ、大きな自発分極の得られる可能性を考慮にいと、 $\text{Bi}_3\text{TiNbO}_9$ 、 $\text{Bi}_3\text{TiTaO}_9$ をキャパシタの強誘電体材料として用いるのが望ましい。

【0024】

よって、上記第 1 の実施の形態における不揮発性半導体記憶装置では、 $\text{Bi}_3\text{TiTaO}_9$ をキャパシタの強誘電体材料として用いている。そのため、強誘電体の温度上昇（例えば室温 25℃から 80℃への上昇）にともなう抗電界の変化を 10%以内に抑えることができる。よって、不揮発性半導体記憶装置の設計裕度が小さくなり、高集積、強誘電体不揮発性記憶装置が実現される。

【0025】

次に、上記第 1 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を、図 2～図 4 の製造工程断面図によって説明する。なお、各図面の括弧内の番号は通し番号で記載した。

【0026】

図 2 の (1) に示すように、選択酸化法を用いて、半導体基板（例えば p 型シリコン基板）11 上に素子分離酸化膜 12 を形成した後、上記半導体基板 11 を 800℃に加熱し、窒素ガスで希釈した酸素ガスにさらすことによって、半導体

基板 1 1 の露出表面に酸化シリコン膜を例えば 1 . 5 n m の厚さに形成し、さらに減圧 C V D 法によって、窒化シリコン膜を例えば 2 n m の厚さに形成して、ゲート絶縁膜 1 3 とする。

【 0 0 2 7 】

次にゲート電極薄膜、窒化チタン薄膜を成膜して電極形成膜を形成する。その後、塗付技術によってフォトレジスト膜（図示せず）を形成した後、リソグラフィ技術（露光、現像、ベーキング等）によって、フォトレジスト膜をゲート電極パターン形状にパターニングする。次いで、パターニングされたフォトレジスト膜をエッチングマスクに用いて、上記電極形成膜をエッチングして、ゲート電極 1 4 を形成する。さらに上記フォトレジスト膜と素子分離酸化膜 1 2 をマスクに用いたイオン注入によって、不純物（例えばヒ素）を半導体基板 1 1 中に導入してソース領域 1 5 およびドレイン領域 1 6 を形成する。その後、フォトレジスト膜を除去する。

【 0 0 2 8 】

次に、C V D 法によって、上記半導体基板 1 1 上に酸化シリコン膜を例えば 7 0 0 n m の厚さに堆積して第 1 の層間絶縁膜 1 7 を形成する。この第 1 の層間絶縁膜 1 7 の成膜時における基板温度は例えば 4 0 0 ℃ に設定した。次いで、ドレイン領域 1 6 を露出させるコンタクトホール 1 8 およびこのコンタクトホール 1 8 に連続する接続パターン溝 1 9 を形成する。

【 0 0 2 9 】

さらにコンタクトホール 1 8 内および接続パターン溝 1 9 内を埋め込むようにポリシリコンを例えば 6 0 0 n m の厚さに堆積した後、例えば 8 5 0 ℃ の窒素中で 3 0 分間の熱処理を施す。その後、例えば C M P （化学的機械研磨）によって、第 1 の層間絶縁膜 1 7 上の余剰なポリシリコン膜を除去して、コンタクトホール 1 8 内にプラグ 2 0 を形成するとともに接続パターン溝 1 9 内に導電性パターン 2 1 を形成する。なお、図面に示すように、導電性パターン 2 1 の導電性を改善するために、上記導電性パターン 2 1 の上層部にシリサイド化処理を施してシリサイド層 4 1 を形成してもよい。

【 0 0 3 0 】

その後、半導体基板 1 1 の洗浄処理を行う。そして上記半導体基板 1 1 を加熱する、もしくは減圧雰囲気にとらすことによって、脱水処理を施した後、例えばスパッタリングによって、チタン (Ti) 薄膜 (図示せず) を、例えば 2 0 n m の厚さに成膜し、続いて窒化チタン (TiN) 薄膜を、例えば 5 0 n m の厚さに成膜して、バリア層 2 2 を形成する。さらに白金 (Pt) 薄膜からなる下部電極薄膜 2 3 を、例えば 2 0 0 n m の厚さに成膜する。

【 0 0 3 1 】

上記各膜の成膜条件の一例としては、基板温度を、チタン (Ti) 薄膜の成膜時には例えば 2 0 0 °C、窒化チタン (TiN) 薄膜の成膜時には例えば 2 5 °C、白金薄膜の成膜時には例えば 4 0 0 °C に設定し、成膜雰囲気の圧力はいずれの場合も例えば 0 . 5 3 P a に設定し、DC パワーを 2 k W に設定した。上記各薄膜は、必要に応じて、4 0 0 °C ~ 7 0 0 °C の窒素雰囲気中で 1 時間の熱処理を施し、安定な下部電極薄膜 2 3 に形成する。

【 0 0 3 2 】

次に、図 2 の (2) に示すように、回転塗布法によって、 $\text{Bi}_3\text{TiTaO}_9$ 前駆体薄膜を成膜する。下部電極薄膜 2 3 を形成するまでの工程が施された上記半導体基板 1 1 上に、Bi、Ti、Nb の元素を $\text{Bi}_3\text{TiTaO}_9$ の化学量論組成と比較し、Bi を 1 % ~ 1 . 5 % 過剰に含む有機金属溶液の塗布、乾燥、RTA 処理からなる一連の工程を 1 回もしくは複数回行い、また必要に応じてオゾンを用いた 5 0 0 °C 以下の低温での酸化処理を行って前駆体 (酸化物) 薄膜を形成する。次いで、5 0 0 °C ~ 7 5 0 °C の所定温度の酸化性もしくは中性の雰囲気中で、上記前駆体 (酸化物) 薄膜の結晶化処理を行う。その結果、上記下部電極薄膜 2 3 上に膜厚が 8 0 n m ~ 1 2 0 n m の $\text{Bi}_3\text{TiTaO}_9$ 薄膜からなる強誘電体薄膜 2 4 を形成する。

【 0 0 3 3 】

上記強誘電体薄膜 2 4 は、強誘電体 - 常誘電体相転移点が 8 0 0 °C 以上の金属酸化物として、層状構造を有する金属酸化物もしくは $\text{Sr}_2\text{Nb}_2\text{O}_7$ 構造を有する金属酸化物であれば、 $\text{Bi}_3\text{TiTaO}_9$ に限定されない。

【 0 0 3 4 】

次に、スパッタリングによって、上記強誘電体薄膜 2 4 上に白金薄膜からなる上部電極薄膜 2 5 を形成する。この白金薄膜の成膜条件の一例としては、基板温度を 2 5 ℃～4 0 0 ℃の所定の温度に設定し、成膜雰囲気圧力を例えば 0 . 5 3 P a に設定し、D C パワーを例えば 2 k W に設定する。必要に応じて、5 5 0 ℃～7 0 0 ℃の窒素雰囲気中もしくは酸素と窒素との混合雰囲気中で 3 0 分～1 時間の熱処理を施し、強誘電体薄膜 2 4 、上部電極薄膜 2 5 の結晶性を改善する。

【 0 0 3 5 】

次に、図 3 の (3) に示すように、塗付技術によって、上部電極薄膜 2 5 上にフォトリソ膜 (図示せず) を形成した後、リソグラフィー技術 (露光、現像、ベーク等) によって、フォトリソ膜をキャパシタパターン形状にパターンニングする。次いで、パターンニングされたフォトリソ膜をエッチングマスクに用いて、上記上部電極薄膜 2 5 からバリア層 2 2 までをエッチングして、下部電極薄膜 2 3 からなる下部電極 3 1 、強誘電体薄膜 2 4 および上部電極薄膜 2 5 からなる上部電極 3 2 で構成されるキャパシタ 3 0 を形成する。その後、フォトリソ膜を除去する。

【 0 0 3 6 】

なお、上記フォトリソ膜の代わりにハードマスクを用いてもよい。マスク膜を除去した後、必要に応じて、5 5 0 ℃～7 0 0 ℃の窒素雰囲気中もしくは酸素と窒素との混合雰囲気中で 3 0 分～1 時間の熱処理を施し、強誘電体薄膜 2 4 の結晶性を改善する。

【 0 0 3 7 】

次に、図 3 の (4) に示すように、C V D 法によって、上記キャパシタ 3 0 を覆う状態に、酸化シリコン膜を例えば 2 0 0 n m の厚さに堆積して第 1 の層間絶縁膜 1 7 上に第 2 の層間絶縁膜 3 5 を形成する。この第 2 の層間絶縁膜 3 5 の成膜時における基板温度は例えば 4 0 0 ℃に設定した。

【 0 0 3 8 】

その後、塗付技術によって、第 2 の層間絶縁膜 3 5 上にフォトリソ膜 (図示せず) を形成した後、リソグラフィー技術 (露光、現像、ベーク等) によ

って、フォトリジスト膜にキャパシタ 3 0 の上部電極 3 2 に達する接続孔を形成するための開口パターンを形成する。次いで、パターニングされたフォトリジスト膜をエッチングマスクに用いて、上記層間絶縁膜 3 5 をドライエッチングして、上部電極 3 2 に達する接続孔 3 6 を形成する。その後、上記フォトリジスト膜を除去する。

【 0 0 3 9 】

次に、図 4 の (5) に示すように、上記接続孔 3 6 を埋め込む状態に第 2 の層間絶縁膜 3 5 上に、配線金属膜を例えばアルミニウムもしくはアルミニウム合金を堆積して形成した後、上記配線金属膜をパターニングして、接続孔 3 6 より上部電極 3 2 に接続する配線 3 7 を形成する。

【 0 0 4 0 】

次に、第 2 の層間絶縁膜 3 5 上に配線 3 7 を覆う保護膜 3 8 を、例えば窒化シリコン膜を含む絶縁膜で形成する。その後、図示はしないが、フォトリジストを塗付し、リソグラフィ技術（露光、現像、ベーク等）によって、配線取り出しパッド形状のフォトリジストパターンを形成する。次いで、このフォトリジストパターンをマスクに用いて、上記保護膜 3 8 をドライエッチングしてパッド（図示せず）を形成する。

【 0 0 4 1 】

次に、本発明の不揮発性半導体記憶装置に係る第 2 の実施の形態として、 $\text{Bi}_3\text{TiNbO}_9$ をキャパシタの強誘電体材料として用いた不揮発性半導体記憶装置を、図 5 の概略構成断面図によって説明する。

【 0 0 4 2 】

図 5 に示すように、半導体基板（例えば p 型シリコン基板）1 1 上には素子形成領域を分離する素子分離酸化膜 1 2 が形成されている。上記半導体基板 1 1 の素子形成領域には、例えば厚さが 1. 5 nm の酸化シリコン膜と例えば厚さが 2 nm の窒化シリコン膜からなるゲート絶縁膜 1 3 が形成されている。

【 0 0 4 3 】

上記ゲート絶縁膜 1 3 上にはゲート電極 1 4 が形成されている。さらにゲート電極 1 4 の一方側の半導体基板 1 1 にはソース領域 1 5 が形成され、他方側の半

導体基板 1 1 にはドレイン領域 1 6 が形成されている。このように、トランジスタ T_r が構成されている。

【 0 0 4 4 】

上記半導体基板 1 1 上にはトランジスタ T_r を覆う第 1 の層間絶縁膜 1 7 が例えば酸化シリコン膜を 7 0 0 n m の厚さに堆積して形成されている。この第 1 の層間絶縁膜 1 7 には、ドレイン領域 1 6 に通じるコンタクトホール 1 8 が形成されている。このコンタクトホール 1 8 内にはポリシリコンからなるプラグ 2 0 が形成されている。なお、図面に示すように、上記プラグ 2 0 の上面側にはシリサイド層 4 1 が形成されていてもよい。

【 0 0 4 5 】

上記半導体基板 1 1 上には、上記プラグ 2 0 に接続するバリア層 2 2 が形成されている。このバリア層 2 2 は、一例として、2 0 n m の厚さに成膜した窒化チタン (TiN) 膜とその上に 5 0 n m の厚さに成膜したイリジウム (Ir) 薄膜とからなる。さらに、バリア層 2 2 上には、白金 (Pt) 薄膜からなる下部電極 3 1 が、例えば 2 0 0 n m の厚さに形成されている。

【 0 0 4 6 】

上記下部電極 3 1 上には、例えば膜厚が 8 0 n m ~ 1 2 0 n m の Bi_3TiNbO_9 薄膜からなる強誘電体薄膜 2 4 が形成されている。この強誘電体薄膜 2 4 は、強誘電体—常誘電体相転移点が 8 0 0 °C 以上の金属酸化物として、層状構造を有する金属酸化物もしくは $Sr_2Nb_2O_7$ 構造を有する金属酸化物であれば、 Bi_3TiNbO_9 に限定されない。

【 0 0 4 7 】

さらに、上記強誘電体薄膜 2 4 上には、イリジウム薄膜からなる上部電極薄膜 2 5 が形成されている。上記のごとくに、キャパシタ 3 0 は、下部電極 3 1、強誘電体薄膜 2 4 および上部電極 3 2 で構成されている。

【 0 0 4 8 】

さらに上記キャパシタ 3 0 を覆う状態に、酸化シリコン膜を例えば 2 0 0 n m の厚さに堆積した第 2 の層間絶縁膜 3 5 が形成されている。この第 2 の層間絶縁膜 3 5 には、上部電極 3 2 に達する接続孔 3 6 が形成されている。上記第 2 の層

間絶縁膜 3 5 上には、接続孔 3 6 を通じて上部電極 3 2 に接続する配線 3 7 が、例えばアルミニウムもしくはアルミニウム合金で形成されている。上記第 2 の層間絶縁膜 3 5 上には配線 3 7 を覆う保護膜 3 8 が形成され、その保護膜 3 8 にはパッド（図示せず）が形成されている。

【 0 0 4 9 】

よって、上記第 2 の実施の形態における不揮発性半導体記憶装置では、 $\text{Bi}_3\text{TiNbO}_9$ をキャパシタの強誘電体材料として用いている。そのため、強誘電体の温度上昇（例えば室温 2 5 °C から 8 0 °C への上昇）にともなう抗電界の変化を 1 0 % 以内に抑えることができる。よって、不揮発性半導体記憶装置の設計裕度が小さくなり、高集積、強誘電体不揮発性記憶装置が実現される。

【 0 0 5 0 】

次に、上記第 2 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を、図 6 ～ 図 8 の製造工程断面図によって説明する。なお、各図面の括弧内の番号は通し番号で記載した。

【 0 0 5 1 】

図 6 の（1）に示すように、選択酸化法を用いて、半導体基板（例えば p 型シリコン基板）1 1 上に素子分離酸化膜 1 2 を形成した後、上記半導体基板 1 1 を 8 0 0 °C に加熱し、窒素ガスで希釈した酸素ガスにさらすことによって、半導体基板 1 1 の露出表面に酸化シリコン膜を例えば 1 . 5 n m の厚さに形成し、さらに減圧 C V D 法によって、窒化シリコン膜を例えば 2 n m の厚さに形成して、ゲート絶縁膜 1 3 とする。

【 0 0 5 2 】

次にゲート電極薄膜、窒化チタン薄膜を成膜して電極形成膜を形成する。その後、塗付技術によってフォトレジスト膜（図示せず）を形成した後、リソグラフィ技術（露光、現像、ベーキング等）によって、フォトレジスト膜をゲート電極パターン形状にパターニングする。次いで、パターニングされたフォトレジスト膜をエッチングマスクに用いて、上記電極形成膜をエッチングして、ゲート電極 1 4 を形成する。さらに上記フォトレジスト膜と素子分離酸化膜 1 2 をマスクに用いたイオン注入によって、不純物（例えばヒ素）を半導体基板 1 1 中に導入

してソース領域 1 5 およびドレイン領域 1 6 を形成する。その後、フォトレジスト膜を除去する。

【 0 0 5 3 】

次に、CVD法によって、上記半導体基板 1 1 上に酸化シリコン膜を例えば 7 0 0 n m の厚さに堆積して第 1 の層間絶縁膜 1 7 を形成する。この第 1 の層間絶縁膜 1 7 の成膜時における基板温度は例えば 4 0 0 °C に設定した。次いで、ドレイン領域 1 6 を露出させるコンタクトホール 1 8 を形成する。

【 0 0 5 4 】

さらにコンタクトホール 1 8 内を埋め込むようにポリシリコンを例えば 6 0 0 n m の厚さに堆積した後、例えば 8 5 0 °C の窒素中で 3 0 分間の熱処理を施す。その後、例えばCMP（化学的機械研磨）によって、第 1 の層間絶縁膜 1 7 上の余剰なポリシリコン膜を除去して、コンタクトホール 1 8 内にプラグ 2 0 を形成する。なお、プラグ 2 0 の導電性を改善するために、上記プラグ 2 0 の上面側にシリサイド化処理を施してシリサイド層 4 1 を形成してもよい。

【 0 0 5 5 】

その後、半導体基板 1 1 の洗浄処理を行う。そして上記半導体基板 1 1 を加熱する、もしくは減圧雰囲気さらすことによって、脱水処理を施した後、例えばスパッタリングによって、窒化チタン（TiN）薄膜を、例えば 2 0 n m の厚さに成膜し、次いで、イリジウム（Ir）薄膜を、例えば 5 0 n m の厚さに成膜して、バリア層 2 2 を形成する。さらに、白金（Pt）薄膜からなる下部電極薄膜 2 3 を、例えば 2 0 0 n m の厚さに成膜する。

【 0 0 5 6 】

上記各膜の成膜条件の一例としては、基板温度を、窒化チタン（TiN）薄膜の成膜時には例えば 2 5 °C、イリジウム（Ir）薄膜 2 2 の成膜時には例えば 4 0 0 °C、白金（Pt）薄膜 2 3 の成膜時には例えば 4 0 0 °C に設定し、成膜雰囲気の圧力はいずれの場合も例えば 0 . 5 3 P a に設定し、DC パワーを 2 k W に設定した。上記各薄膜は、必要に応じて、4 0 0 °C ~ 7 0 0 °C の酸素窒素混合雰囲気中で 1 時間の熱処理を施し、安定な下部電極薄膜 2 3 に形成する。

【 0 0 5 7 】

次に、図6の(2)に示すように、回転塗布法によって、 $\text{Bi}_3\text{TiNbO}_9$ 前駆体薄膜を成膜する。 Bi 、 Ti 、 Nb の元素を $\text{Bi}_3\text{TiNbO}_9$ の化学量論組成と比較し、 Bi を1%~1.5%過剰に含む有機金属溶液を、下部電極薄膜23を形成するまでの工程が施された上記半導体基板11上に、有機金属溶液の塗布、乾燥、RTA処理からなる一連の工程を1回もしくは複数回行い、また必要に応じてオゾンを用いた500℃以下の低温での酸化処理を行って前駆体(酸化物)薄膜を形成する。次いで、500℃~750℃の所定温度の酸化性もしくは中性の雰囲気中で、上記前駆体(酸化物)薄膜の結晶化処理を行う。その結果、上記下部電極薄膜23上に膜厚が80nm~120nmの $\text{Bi}_3\text{TiNbO}_9$ 薄膜からなる強誘電体薄膜24を形成する。

【0058】

上記強誘電体薄膜24は、強誘電体-常誘電体相転移点が800℃以上の金属酸化物として、層状構造を有する金属酸化物もしくは $\text{Sr}_2\text{Nb}_2\text{O}_7$ 構造を有する金属酸化物であれば、 $\text{Bi}_3\text{TiNbO}_9$ に限定されない。

【0059】

次に、スパッタリングによって、上記強誘電体薄膜24上にイリジウム薄膜からなる上部電極薄膜25を形成する。このイリジウム薄膜の成膜条件の一例としては、基板温度を25℃~400℃の所定の温度に設定し、成膜雰囲気を例えば0.53Paのアルゴン雰囲気に設定し、DCパワーを例えば2kWに設定する。必要に応じて、550℃~700℃の窒素雰囲気中もしくは酸素と窒素との混合雰囲気中で30分~1時間の熱処理を施し、強誘電体薄膜24、イリジウム薄膜の結晶性を改善する。

【0060】

次に、図7の(3)に示すように、塗付技術によって、イリジウム薄膜25上にフォトリソist膜(図示せず)を形成した後、リソグラフィー技術(露光、現像、ベーク等)によって、フォトリソist膜をキャパシタパターン形状にパターニングする。次いで、パターニングされたフォトリソist膜をエッチングマスクに用いて、上記上部電極薄膜25からバリア層22までをエッチングして、下部電極薄膜23からなる下部電極31、強誘電体薄膜24および上部電極薄膜

25からなる上部電極32で構成されるキャパシタ30を形成する。その後、フォトレジスト膜を除去する。

【0061】

なお、上記フォトレジスト膜の代わりにハードマスクを用いてもよい。マスク膜を除去した後、必要に応じて、550℃～700℃の窒素雰囲気中もしくは酸素と窒素との混合雰囲気中で30分～1時間の熱処理を施し、強誘電体薄膜24の結晶性を改善する。

【0062】

次に、図7の(4)に示すように、CVD法によって、上記キャパシタ30を覆う状態に、酸化シリコン膜を例えば200nmの厚さに堆積して第1の層間絶縁膜17上に第2の層間絶縁膜35を形成する。この第2の層間絶縁膜35の成膜時における基板温度は例えば400℃に設定した。

【0063】

その後、塗付技術によって、第2の層間絶縁膜35上にフォトレジスト膜(図示せず)を形成した後、リソグラフィ技術(露光、現像、バッキング等)によって、フォトレジスト膜にキャパシタ30の上部電極32に達する接続孔を形成するための開口パターンを形成する。次いで、パターニングされたフォトレジスト膜をエッチングマスクに用いて、上記層間絶縁膜35をドライエッチングして、上部電極32に達する接続孔36を形成する。その後、上記フォトレジスト膜を除去する。

【0064】

次に、図8の(5)に示すように、上記接続孔36を埋め込む状態に第2の層間絶縁膜35上に、配線金属膜を例えばアルミニウムもしくはアルミニウム合金を堆積して形成した後、上記配線金属膜をパターニングして、接続孔36より上部電極32に接続する配線37を形成する。

【0065】

次に、第2の層間絶縁膜35上に配線37を覆う保護膜38を、例えば窒化シリコン膜を含む絶縁膜で形成する。その後、図示はしないが、フォトレジストを塗付し、リソグラフィ技術(露光、現像、バッキング等)によって、配線取り

出しパッド形状のフォトリソパターンを形成する。次いで、このフォトリソパターンをマスクに用いて、上記保護膜 3 8 をドライエッチングしてパッド（図示せず）を形成する。

【 0 0 6 6 】

不揮発性半導体記憶装置において、抗電界の動作保証温度内での変化を最小限に抑えるように、複合キャパシタ構造を採ることによって、強誘電体薄膜を用いた高集積不揮発性記憶素子の設計裕度を小さくして、高集積、強誘電体不揮発性記憶装置を実現する。

【 0 0 6 7 】

本発明の不揮発性半導体記憶装置に係る第 3 の実施の形態として、複合キャパシタ構造を採る不揮発性半導体記憶装置を、図 9 の概略構成断面図によって説明する。

【 0 0 6 8 】

図 9 に示すように、半導体基板（例えば p 型シリコン基板） 1 1 上には素子形成領域を分離する素子分離酸化膜 1 2 が形成されている。上記半導体基板 1 1 の素子形成領域には、例えば厚さが 1 . 5 n m の酸化シリコン膜と例えば厚さが 2 n m の窒化シリコン膜からなるゲート絶縁膜 1 3 が形成されている。

【 0 0 6 9 】

上記ゲート絶縁膜 1 3 上にはゲート電極 1 4 が形成されている。さらにゲート電極 1 4 の一方側の半導体基板 1 1 にはソース領域 1 5 が形成され、他方側の半導体基板 1 1 にはドレイン領域 1 6 が形成されている。このように、トランジスタ T r が構成されている。

【 0 0 7 0 】

上記半導体基板 1 1 上にはトランジスタ T r を覆う第 1 の層間絶縁膜 1 7 が例えば酸化シリコン膜を 7 0 0 n m の厚さに堆積して形成されている。この第 1 の層間絶縁膜 1 7 には、ドレイン領域 1 6 に通じるコンタクトホール 1 8 およびこのコンタクトホール 1 8 に連続する接続パターン溝 1 9 が形成されている。このコンタクトホール 1 8 内にはポリシリコンからなるプラグ 2 0 が形成され、接続パターン溝 1 9 内にはポリシリコンからなる導電性パターン 2 1 が形成されてい

る。なお、図面に示すように、上記導電性パターン 2 1 の上面側にはシリサイド層 4 1 が形成されていてもよい。

【 0 0 7 1 】

上記半導体基板 1 1 上には、上記導電性パターン 2 1 に接続するバリア層 2 2 が形成されている。このバリア層 2 2 は、一例として、2 0 n m の厚さに成膜したチタン (T i) 膜とその上に 5 0 n m の厚さに成膜した窒化チタン (T i N) 薄膜とからなる。さらに、バリア層 2 2 上には、白金薄膜からなる下部電極 3 1 が、例えば 2 0 0 n m の厚さに形成されている。

【 0 0 7 2 】

上記下部電極 3 1 上には、例えば膜厚が 6 0 n m ~ 1 2 0 n m の S B T 薄膜からなる強誘電体薄膜 5 1、イリジウム薄膜からなる電極薄膜 5 2、P N N 薄膜からなる誘電体薄膜 5 3、イリジウム薄膜からなる上部電極 3 2 が下層より順に形成されている。上記のごとくに、複合キャパシタ 5 0 は、下部電極 3 1、強誘電体薄膜 5 1、電極薄膜 5 2、誘電体薄膜 5 3 および上部電極 3 2 で構成されている。

【 0 0 7 3 】

上記強誘電体薄膜 5 1 には、 $Pb(Zr_x Ti_{1-y})O_3$ 、(ただし $0.1 \leq x \leq 0.8$) で表される P Z T、または P Z T に L a もしくは N b を添加したもの、または P Z T の P b の一部を L a、もしくは (Z r, T i) の一部を N b に置換したものがある。または、 $Sr_{1-x}Bi_{2+x}Ta_2O_9$ (ただし $0.01 \leq x \leq 0.3$)、 $Sr_{1-x}Bi_{2+x}Nb_2O_9$ (ただし $0.01 \leq x \leq 0.3$)、 $Sr_{1-x}Bi_{2+x}(Ta_{1-y}Nb_y)O_9$ (ただし $0.01 \leq x \leq 0.3$ 、 $0.1 \leq y \leq 0.5$) 等がある。

【 0 0 7 4 】

上記電極薄膜 5 2 には、金属もしくは導電性金属酸化物がある。例えば、イリジウム、白金、パラジウムのうちの 1 種、またはイリジウム、白金、パラジウムのうちの少なくとも 2 種以上からなる合金もしくは層状構造体、または酸化イリジウム (IrO_2)、酸化ルテニウムストロンチウム ($SrRuO_3$)、酸化イリジウムストロンチウム ($SrIrO_3$) 等の金属伝導を示す酸化物導電体、ま

たは金属膜と酸化物膜との層状構造体を用いることができる。

【0075】

上記誘電体薄膜53は、不揮発性半導体記憶装置の動作保証温度範囲において温度上昇とともに誘電率が減少する温度依存性を有する誘電体薄膜であって、緩和型強誘電性薄膜からなるものであればよい。緩和型強誘電性薄膜としては、ペロブスカイト構造(ABO_3)を有する強誘電体のB位置が二種の元素の混合体で構成された、 $Pb(M_{1/3}Nb_{2/3})O_3$ [ただし $M=Co, Ni, Mg$]、 $Pb(M_{1/3}Ta_{2/3})O_3$ [ただし $M=Co, Ni, Mg$]、 $Pb(Fe_{2/3}W_{1/3})O_3$ 等の金属酸化物がある。

【0076】

さらに上記複合キャパシタ50を覆う状態に、酸化シリコン膜を例えば200nmの厚さに堆積した第2の層間絶縁膜35が形成されている。この第2の層間絶縁膜35には、上部電極32に達する接続孔36が形成されている。上記第2の層間絶縁膜35上には、接続孔36を通じて上部電極32に接続する配線37が、例えばアルミニウムもしくはアルミニウム合金で形成されている。上記第2の層間絶縁膜35上には配線37を覆う保護膜38が形成され、その保護膜38にはパッド(図示せず)が形成されている。

【0077】

上記第3の実施の形態で説明した不揮発性半導体記憶装置では、キャパシタを複合キャパシタ構造とすることによって、抗電界に係わる設計の裕度を下げている。このことによって、強誘電体を用いた高集積不揮発性記憶素子の設計裕度を小さくし、高集積、強誘電体不揮発性記憶装置が実現される。

【0078】

複合キャパシタは、例えば、強誘電体キャパシタと、材料温度の上昇にともなって誘電率が減少する傾向を有する誘電率の温度依存性持つ誘電体薄膜を用いたキャパシタ(補償キャパシタ)とを直列に接続したものである。

【0079】

強誘電体キャパシタと補償キャパシタとの接続は、上記第3の実施の形態で説明したように、電極薄膜52が強誘電体キャパシタの電極と補償キャパシタの電

極とを兼ねる構成としたものの他に、強誘電体キャパシタの電極と補償キャパシタの電極とをキャパシタの電極とは別の導電性材料を用いて接続する構成であってもよい。

【 0 0 8 0 】

上記複合キャパシタでは、キャパシタ温度の上昇とともに強誘電体キャパシタに印加される電圧を減少させることによって、抗電界の温度依存性が補償される。抗電界の温度依存性を補償することができる補償キャパシタ材料としては、例えばペロブスカイト構造 (ABO_3) を有する強誘電体の B 位置が二種の元素の混合体で構成された、 $Pb(M_{1/3}Nb_{2/3})O_3$ [ただし $M=Co, Ni, Mg$]、 $Pb(M_{1/3}Ta_{2/3})O_3$ [ただし $M=Co, Ni, Mg$]、 $Pb(Fe_{2/3}W_{1/3})O_3$ がある。これらの物質は、常誘電相から強誘電相への相変化がデバイスの動作保証温度 (例えば $-40^\circ C$) より十分に低温である、 $180 K \sim 80 K$ 近傍で起こり、デバイス保証温度では自発分極を持たず、誘電率の高い誘電体としての性質を持っている。

【 0 0 8 1 】

そして、複合キャパシタに印加された電圧は、強誘電体キャパシタと補償キャパシタとに分配される。補償キャパシタに分配される電圧は、補償を効果的に行うことと、必要以上の電圧を配分しないので、デバイスの動作電圧を抑制することとのバランスによって決まる。

【 0 0 8 2 】

例えば、強誘電体キャパシタとして SBT 薄膜を用いる場合には、補償キャパシタが強誘電体キャパシタと同様の形状を持つとすると、補償キャパシタに係る電圧が SBT のその 0.5 程度であるためには、誘電率は 500 程度以上が必要である。また、例えば、強誘電体キャパシタとして PZT 薄膜を用いる場合には、さらに高い誘電率をもつ材料を補償キャパシタの薄膜材料として用いることが望ましい。

【 0 0 8 3 】

以上のような種々の条件を考慮すると、補償キャパシタの誘電体材料として望ましいのは、 $Pb(Ni_{1/3}Nb_{2/3})O_3$ 、 $Pb(Co_{1/3}Nb_{2/3})O_3$ である

【 0 0 8 4 】

また、上記第 3 の実施の形態では、強誘電体薄膜 5 1 と誘電体薄膜 5 3 との間に電極薄膜 5 2 を形成したが、電極薄膜 5 2 を形成せずに、強誘電体薄膜 5 1 上に誘電体薄膜 5 3 を直接積層した構成としてもよい。電極薄膜 5 2 を形成しない構成では、不揮発性半導体記憶装置の動作保証温度範囲において温度上昇とともに誘電率が減少する温度依存性を有する誘電体薄膜（誘電体薄膜 5 3）と、動作保証温度範囲において強誘電性を示す強誘電体薄膜（強誘電体薄膜 5 1）とが積層されたものとなり、この積層膜は強誘電性を示す薄膜となる。なお、下層に強誘電体薄膜 5 1 を形成し、上層に誘電体薄膜 5 3 を形成した構成としてもよい。

【 0 0 8 5 】

次に、上記第 3 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を、図 1 0 ～図 1 2 の製造工程断面図によって説明する。なお、各図面の括弧内の番号は通し番号で記載した。

【 0 0 8 6 】

図 1 0 の（1）に示すように、選択酸化法を用いて、半導体基板（例えば p 型シリコン基板）1 1 上に素子分離酸化膜 1 2 を形成した後、上記半導体基板 1 1 を 8 0 0 ℃ に加熱し、窒素ガスで希釈した酸素ガスにさらすことによって、半導体基板 1 1 の露出表面に酸化シリコン膜を例えば 1 . 5 n m の厚さに形成し、さらに減圧 C V D 法によって、窒化シリコン膜を例えば 2 n m の厚さに形成して、ゲート絶縁膜 1 3 とする。

【 0 0 8 7 】

次にゲート電極薄膜、窒化チタン薄膜を成膜して電極形成膜を形成する。その後、塗付技術によってフォトレジスト膜（図示せず）を形成した後、リソグラフィ技術（露光、現像、ベーキング等）によって、フォトレジスト膜をゲート電極パターン形状にパターニングする。次いで、パターニングされたフォトレジスト膜をエッチングマスクに用いて、上記電極形成膜をエッチングして、ゲート電極 1 4 を形成する。さらに上記フォトレジスト膜と素子分離酸化膜 1 2 をマスクに用いたイオン注入によって、不純物（例えばヒ素）を半導体基板 1 1 中に導入

してソース領域 1 5 およびドレイン領域 1 6 を形成する。その後、フォトレジスト膜を除去する。

【 0 0 8 8 】

次に、CVD法によって、上記半導体基板 1 1 上に酸化シリコン膜を例えば 7 0 0 n m の厚さに堆積して第 1 の層間絶縁膜 1 7 を形成する。この第 1 の層間絶縁膜 1 7 の成膜時における基板温度は例えば 4 0 0 ° C に設定した。次いで、ドレイン領域 1 6 を露出させるコンタクトホール 1 8 およびこのコンタクトホール 1 8 に連続する接続パターン溝 1 9 を形成する。

【 0 0 8 9 】

さらにコンタクトホール 1 8 内および接続パターン溝 1 9 内を埋め込むようにポリシリコンを例えば 6 0 0 n m の厚さに堆積した後、例えば 8 5 0 ° C の窒素中で 3 0 分間の熱処理を施す。その後、例えば CMP（化学的機械研磨）によって、第 1 の層間絶縁膜 1 7 上の余剰なポリシリコン膜を除去する。

【 0 0 9 0 】

コンタクトホール 1 8 内にプラグ 2 0 を形成するとともに接続パターン溝 1 9 内に導電性パターン 2 1 を形成する。なお、導電性パターン 2 1 の導電性を改善するために、上記導電性パターン 2 1 の上面側にシリサイド化処理を施してシリサイド層 4 1 を形成してもよい。

【 0 0 9 1 】

その後、半導体基板 1 1 の洗浄処理を行う。そして上記半導体基板 1 1 を加熱する、もしくは減圧雰囲気にならすことによって、脱水処理を施した後、例えばスパッタリングによって、チタン (Ti) 薄膜 (図示せず) を、例えば 2 0 n m の厚さに成膜し、続いて窒化チタン (TiN) 薄膜を、例えば 5 0 n m の厚さに成膜して、バリア層 2 2 を形成する。さらに白金 (Pt) 薄膜からなる下部電極薄膜 2 3 を、例えば 2 0 0 n m の厚さに成膜する。

【 0 0 9 2 】

上記各膜の成膜条件の一例としては、基板温度を、チタン (Ti) 薄膜の成膜時には例えば 2 0 0 ° C、窒化チタン (TiN) 薄膜の成膜時には例えば 2 5 ° C、白金薄膜の成膜時には例えば 4 0 0 ° C に設定し、成膜雰囲気の圧力はいずれの場合

合も例えば 0.53 Pa に設定し、DC パワーを 2 kW に設定した。上記各薄膜は、必要に応じて、400℃～700℃の窒素雰囲気中で1時間の熱処理を施し、安定な下部電極薄膜 23 に形成する。

【0093】

次に、図10の(2)に示すように、回転塗布法によって、Sr 欠損、Bi 過剰 SBT、 $\text{Sr}_{0.8}\text{Bi}_{2.2}\text{Ta}_2\text{O}_9$ (SBT) 前駆体薄膜を成膜する。Sr、Bi、Ta の元素を SBT の化学量論組成と比較し、Bi を 0.0%～5% 過剰に含む有機金属溶液を、下部電極薄膜 23 を形成する工程が施された上記半導体基板 11 上に、有機金属溶液の塗布、乾燥、RTA 処理からなる一連の工程を1回もしくは複数回行い、500℃～750℃の所定温度の酸化性もしくは中性の雰囲気中で、形成した前駆体薄膜の結晶化処理を行う。その結果、膜厚が 60 nm～120 nm の SBT 薄膜からなる強誘電体薄膜 51 を形成する。

【0094】

次に、スパッタリングによって、上記強誘電体薄膜 51 上にイリジウム薄膜からなる電極薄膜 52 を形成する。このイリジウム薄膜の成膜条件の一例としては、基板温度を 25℃～400℃の所定の温度に設定し、成膜雰囲気を例えば 0.53 Pa のアルゴン雰囲気に設定し、DC パワーを例えば 2 kW に設定する。必要に応じて、550℃～700℃の窒素雰囲気中もしくは酸素と窒素との混合雰囲気中で30分～1時間の熱処理を施し、強誘電体薄膜 51、イリジウム薄膜からなる電極薄膜 52 の結晶性を改善する。

【0095】

次に、回転塗布法によって、 $\text{Pb}(\text{Ni}_{1/3}\text{Nb}_{2/3})\text{O}_3$ (PNN) 前駆体薄膜を成膜する。Pb、Ni、Nb の元素を PNN の化学量論組成と比較し、Pb を 3%～15% 過剰に含む有機金属溶液を、電極薄膜 52 を形成する工程が施された上記半導体基板 11 上に、有機金属溶液の塗布、乾燥、RTA 処理からなる一連の工程を1回もしくは複数回行い、500℃～750℃の所定温度の酸化性もしくは中性の雰囲気中で、形成した前駆体薄膜の結晶化処理を行う。その結果、PNN 薄膜からなる誘電体薄膜 53 を形成する。

【0096】

次に、スパッタリングによって、上記誘電体薄膜 5 3 上にイリジウム薄膜からなる上部電極薄膜 2 5 を形成する。このイリジウム薄膜の成膜条件の一例としては、基板温度を 2 5 ℃～4 0 0 ℃の所定の温度に設定し、成膜雰囲気圧力が例えば 0. 5 3 P a のアルゴン雰囲気圧に設定し、DC パワーを例えば 2 k W に設定する。必要に応じて、4 5 0 ℃～7 0 0 ℃の窒素雰囲気中で 1 時間の熱処理を施し、誘電体薄膜 5 1、5 3 (S B T 薄膜、P N N 薄膜)、電極薄膜 5 2 の結晶性を改善する。

【 0 0 9 7 】

次に、図 1 1 の (3) に示すように、塗付技術によって、上部電極薄膜 2 5 上にフォトリソ膜 (図示せず) を形成した後、リソグラフィー技術 (露光、現像、ベーク等) によって、フォトリソ膜をキャパシタパターン形状にパターニングする。次いで、パターニングされたフォトリソ膜をエッチングマスクに用いて、上記上部電極薄膜 2 5 からバリア層 2 2 までをエッチングして、下部電極薄膜 2 3 からなる下部電極 3 1、強誘電体薄膜 5 1、電極薄膜 5 2、誘電体薄膜 5 3 および上部電極薄膜 2 5 からなる上部電極 3 2 で構成される複合キャパシタ 5 0 を形成する。その後、フォトリソ膜を除去する。

【 0 0 9 8 】

なお、上記フォトリソ膜の代わりにハードマスクを用いてもよい。マスク膜を除去した後、必要に応じて、4 5 0 ℃～7 0 0 ℃の窒素雰囲気中もしくは酸素と窒素との混合雰囲気中で 3 0 分～1 時間の熱処理を施し、S B T 薄膜、P N N 薄膜の結晶性を改善する。

【 0 0 9 9 】

次に、C V D 法によって、上記キャパシタ 5 0 を覆う状態に、酸化シリコン膜を例えば 2 0 0 n m の厚さに堆積して第 1 の層間絶縁膜 1 7 上に第 2 の層間絶縁膜 3 5 を形成する。この第 2 の層間絶縁膜 3 5 の成膜時における基板温度は例えば 4 0 0 ℃に設定した。

【 0 1 0 0 】

その後、図 1 2 の (4) に示すように、塗付技術によって、第 2 の層間絶縁膜 3 5 上にフォトリソ膜 (図示せず) を形成した後、リソグラフィー技術 (露

光、現像、ベーキング等)によって、フォトリジスト膜にキャパシタ50の上部電極32に達する接続孔を形成するための開口パターンを形成する。次いで、パターンニングされたフォトリジスト膜をエッチングマスクに用いて、上記層間絶縁膜35をドライエッチングして、上部電極32に達する接続孔36を形成する。その後、上記フォトリジスト膜を除去する。

【0101】

次に、上記接続孔36を埋め込む状態に第2の層間絶縁膜35上に、配線金属膜を例えばアルミニウムもしくはアルミニウム合金を堆積して形成した後、上記配線金属膜をパターンニングして、接続孔36より上部電極32に接続する配線37を形成する。

【0102】

次に、第2の層間絶縁膜35上に配線37を覆う保護膜38を、例えば窒化シリコン膜を含む絶縁膜で形成する。その後、図示はしないが、フォトリジストを塗付し、リソグラフィ技術（露光、現像、ベーキング等）によって、配線取り出しパッド形状のフォトリジストパターンを形成する。次いで、このフォトリジストパターンをマスクに用いて、上記保護膜38をドライエッチングしてパッド（図示せず）を形成する。

【0103】

上記第3の実施の形態では、強誘電体薄膜51と誘電体薄膜53との間に電極薄膜52を形成したが、電極薄膜52を形成せずに、強誘電体薄膜51上に誘電体薄膜53を直接積層してもよい。この場合には、不揮発性半導体記憶装置の動作保証温度範囲において温度上昇とともに誘電率が減少する温度依存性を有する誘電体薄膜（誘電体薄膜53）と、動作保証温度範囲において強誘電性を示す強誘電体薄膜（強誘電体薄膜51）とが積層されたものとなり、この積層膜は強誘電性を示す薄膜となる。なお、下層に誘電体薄膜53を形成し、上層に強誘電体薄膜51を形成してもよい。

【0104】

上記各実施の形態で説明した上部電極薄膜、下部電極薄膜、キャパシタ接続用の電極薄膜等には、イリジウム、白金、パラジウムのうちの1種、またはイリジ

ウム、白金、パラジウムのうちの少なくとも2種以上からなる合金もしくは層状構造膜、または酸化イリジウム (IrO_2)、酸化ルテニウムストロンチウム (SrRuO_3)、酸化イリジウムストロンチウム (SrIrO_3) 等の金属伝導を示す酸化物導電体、または金属膜と酸化物膜との層状構造膜を用いることができる。それらの材料の成膜方法は、スパッタリングによって成膜する際のターゲットの材質や成膜条件の変更によって行うことが可能である。上記変更にとともに、熱処理条件も変更することが必要になる。

【0105】

また、補償キャパシタと強誘電体キャパシタ薄膜の組み合わせは、上記実施の形態で説明した組み合わせに限定されることはなく、例えば補償キャパシタと強誘電体キャパシタ薄膜の成膜順序は、ここで述べた実施の形態と逆であってもよい。この順序は、それぞれの膜に施す熱処理温度の高低によって、またはデバイスの駆動方法によって、決定される。

【0106】

【発明の効果】

以上、説明したように本発明の不揮発性半導体記憶装置によれば、抗電界の動作保証温度内での変化を最小限に抑えることによって、不揮発性半導体記憶装置の抗電界に係わる設計裕度を下げることができる。このことにより、高集積不揮発性半導体記憶装置の設計裕度を小さくすることができるので、設計裕度の基準のより厳しい強誘電体不揮発性記憶装置、すなわち、高集積の強誘電体不揮発性記憶装置を実現することができる。

【図面の簡単な説明】

【図1】

本発明の不揮発性半導体記憶装置に係る第1の実施の形態を示す概略構成断面図である。

【図2】

第1の実施の形態で説明した不揮発性半導体記憶装置の製造方法を示す製造工程断面図(1)、(2)である。

【図3】

第 1 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を示す製造工程断面図 (3)、(4) である。

【図 4】

第 1 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を示す製造工程断面図 (5) である。

【図 5】

本発明の不揮発性半導体記憶装置に係る第 2 の実施の形態を示す概略構成断面図である。

【図 6】

第 2 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を示す製造工程断面図 (1)、(2) である。

【図 7】

第 2 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を示す製造工程断面図 (3)、(4) である。

【図 8】

第 2 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を示す製造工程断面図 (5) である。

【図 9】

本発明の不揮発性半導体記憶装置に係る第 3 の実施の形態を示す概略構成断面図である。

【図 10】

第 3 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を示す製造工程断面図 (1)、(2) である。

【図 11】

第 3 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を示すの製造工程断面図 (3) である。

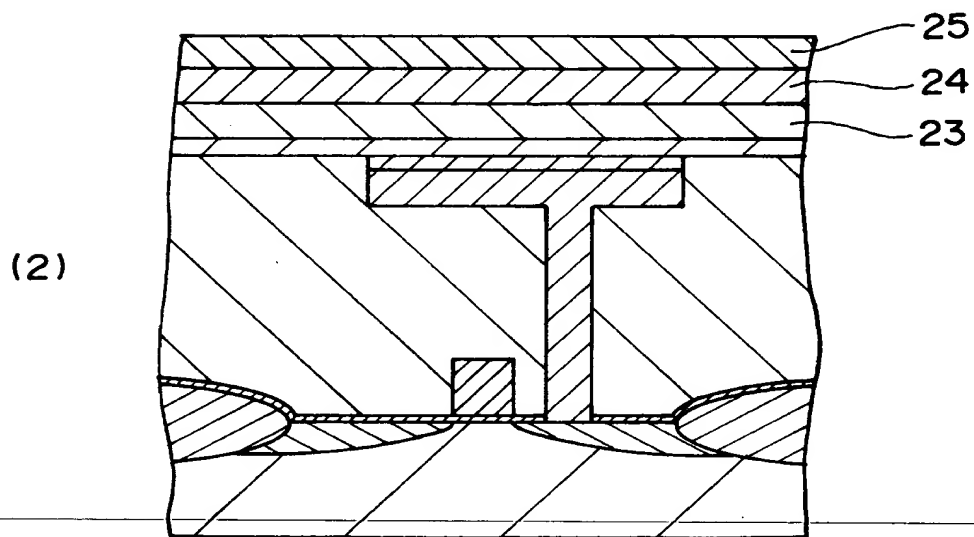
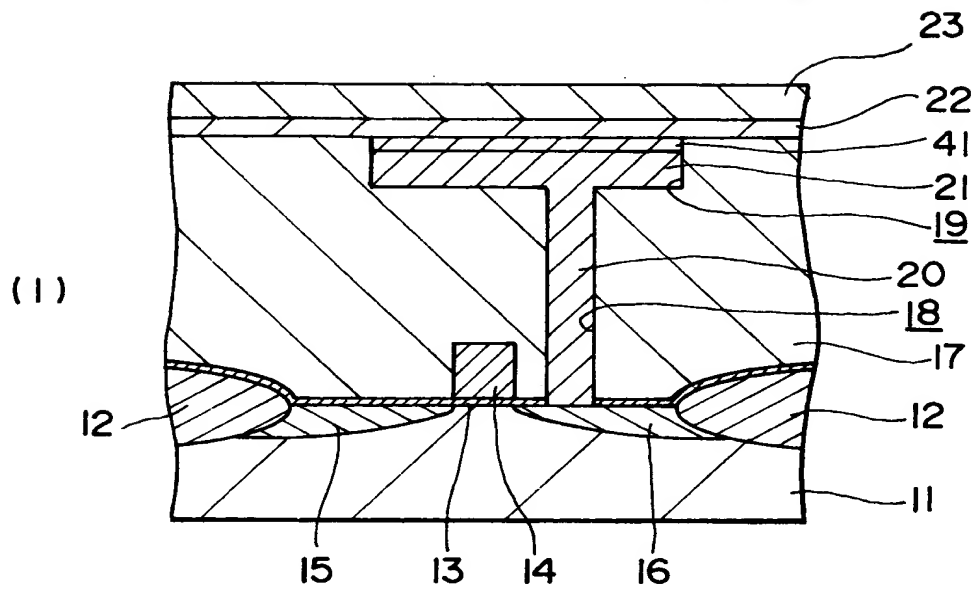
【図 12】

第 3 の実施の形態で説明した不揮発性半導体記憶装置の製造方法を示す製造工程断面図 (4) である。

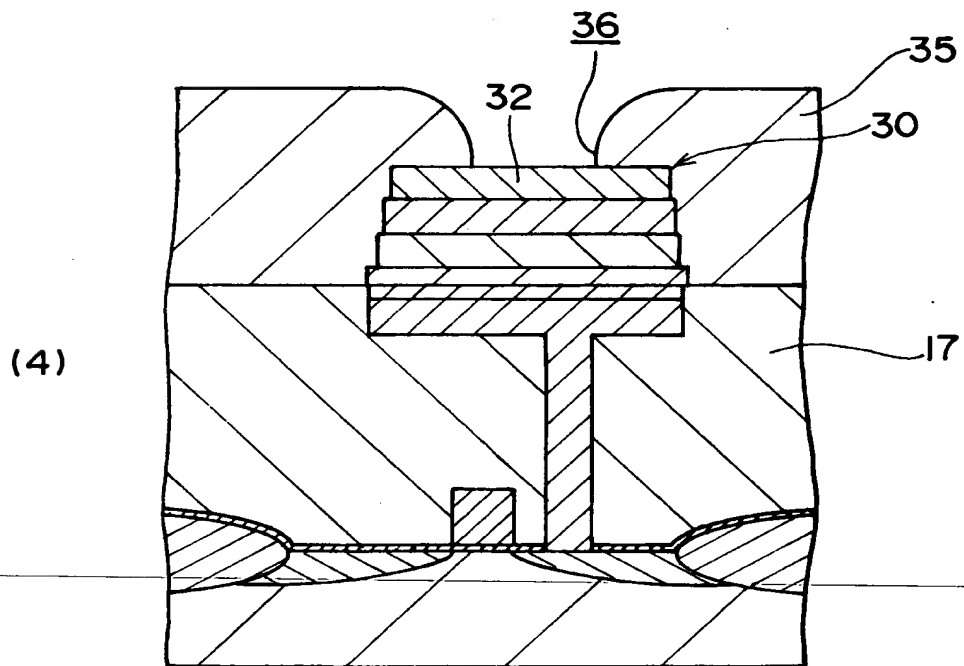
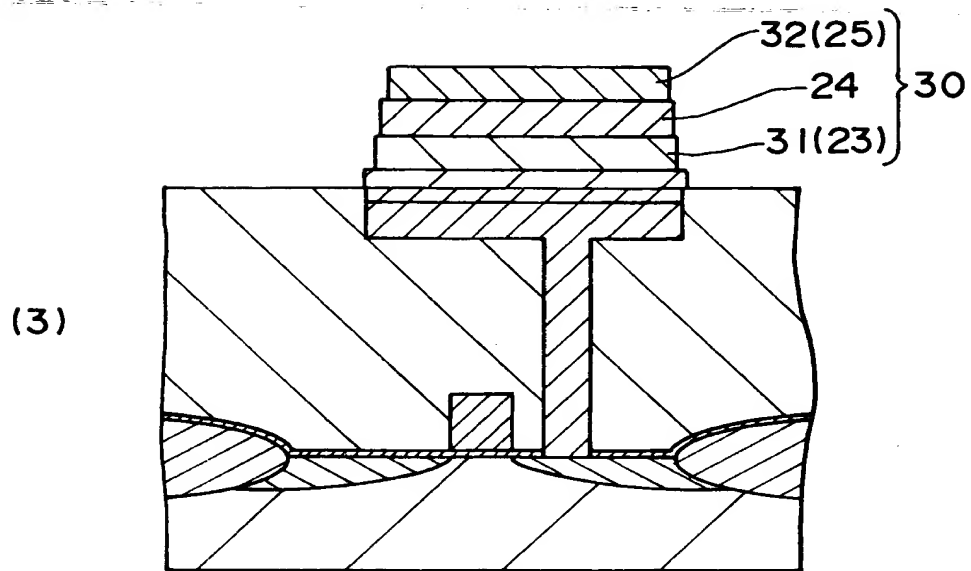
【符号の説明】

2 4 …強誘電体薄膜、3 0 …キャパシタ

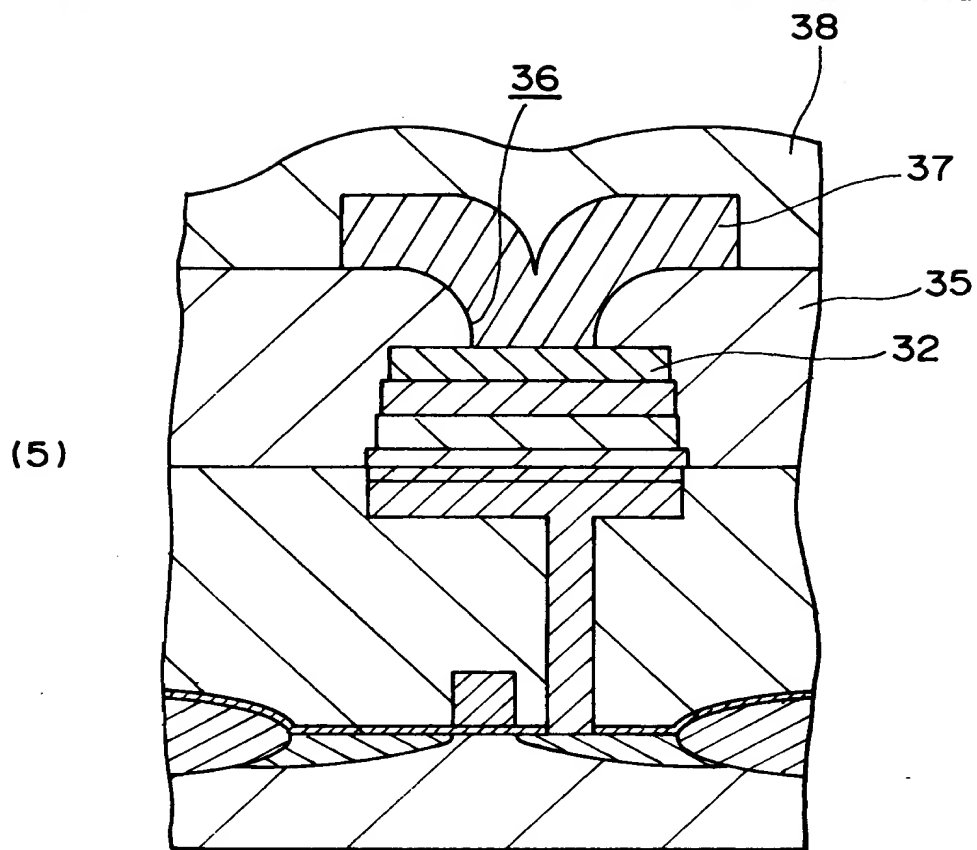
【図2】



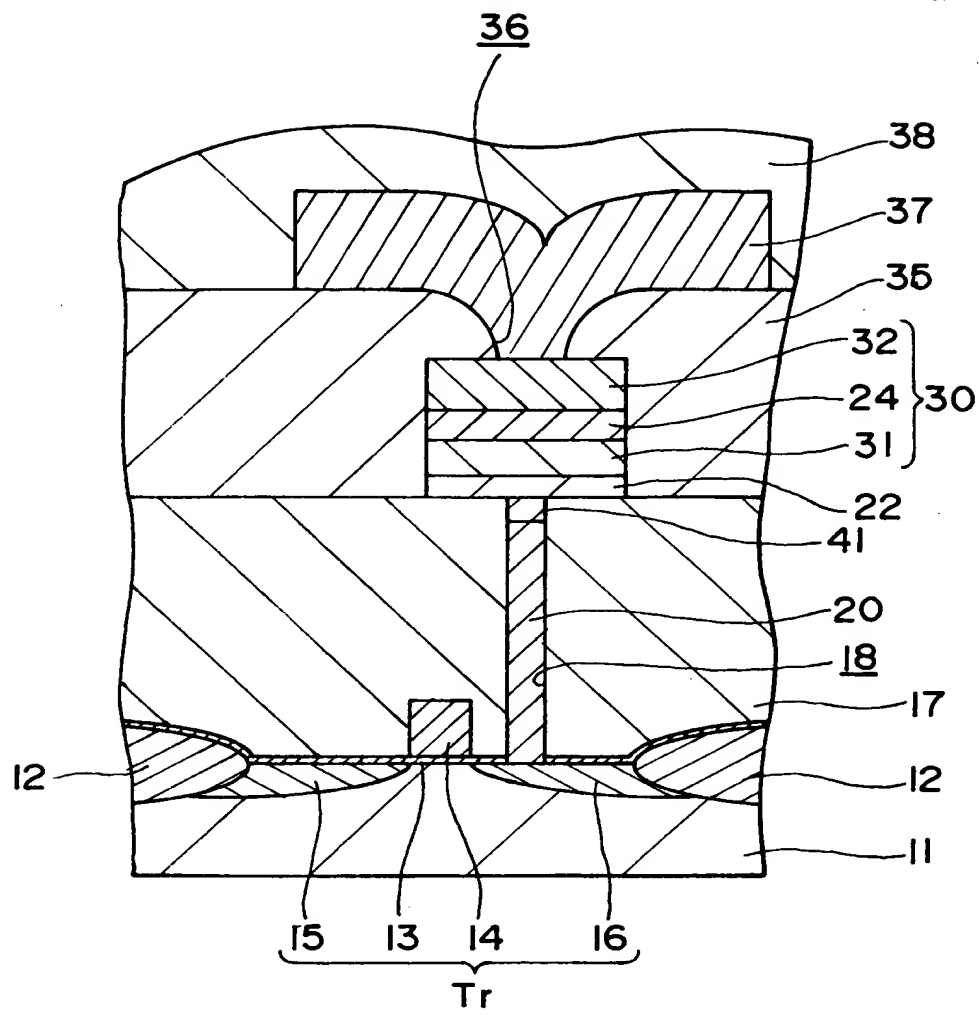
【図 3】



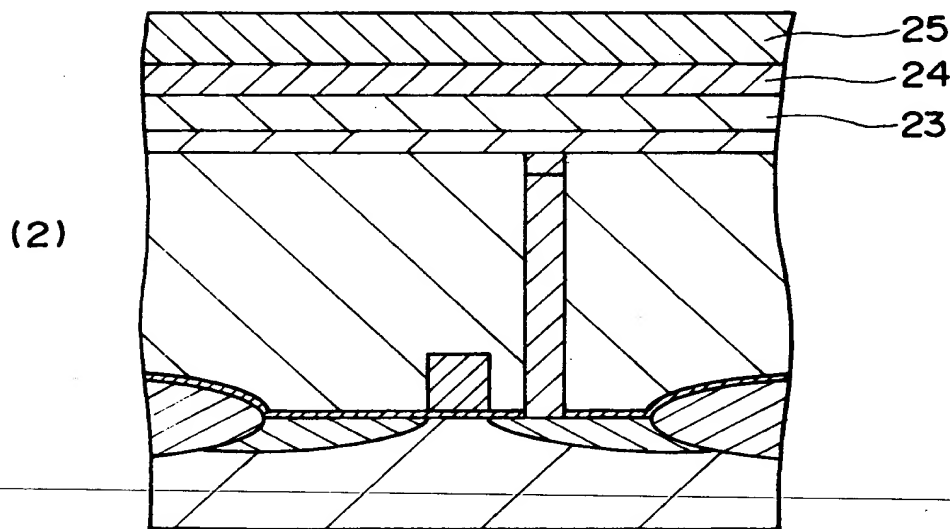
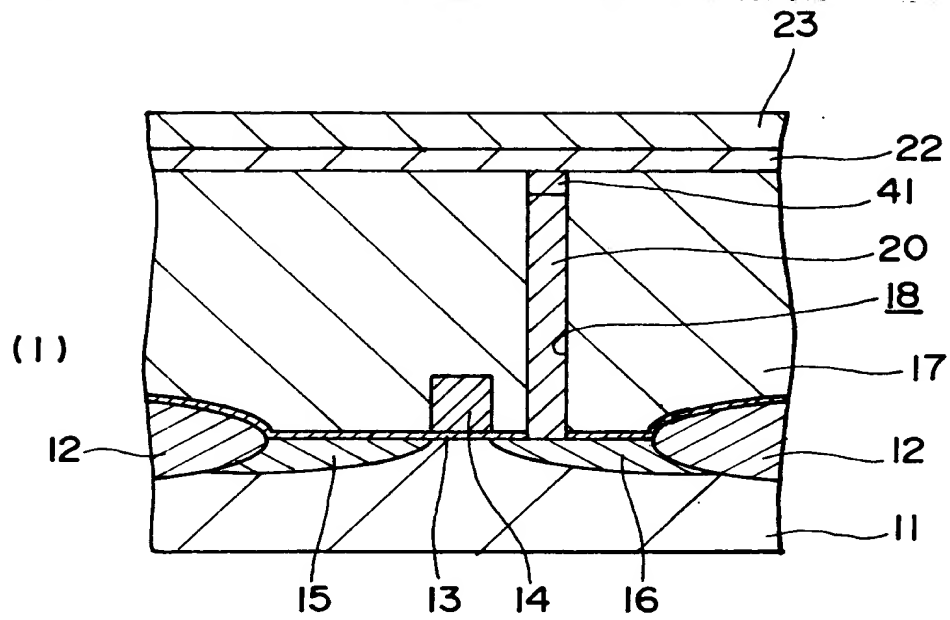
【図 4】



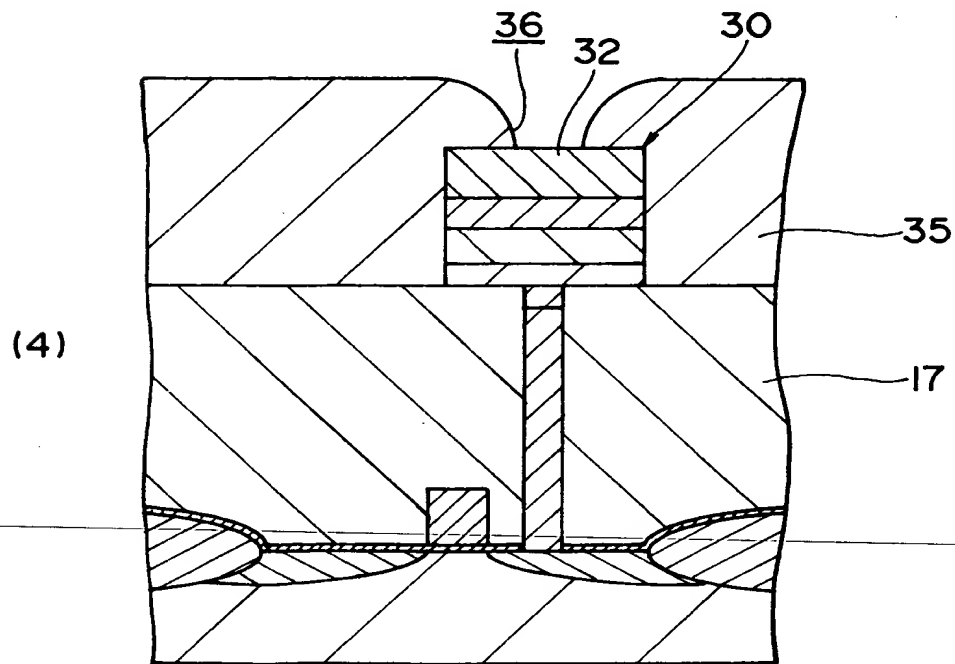
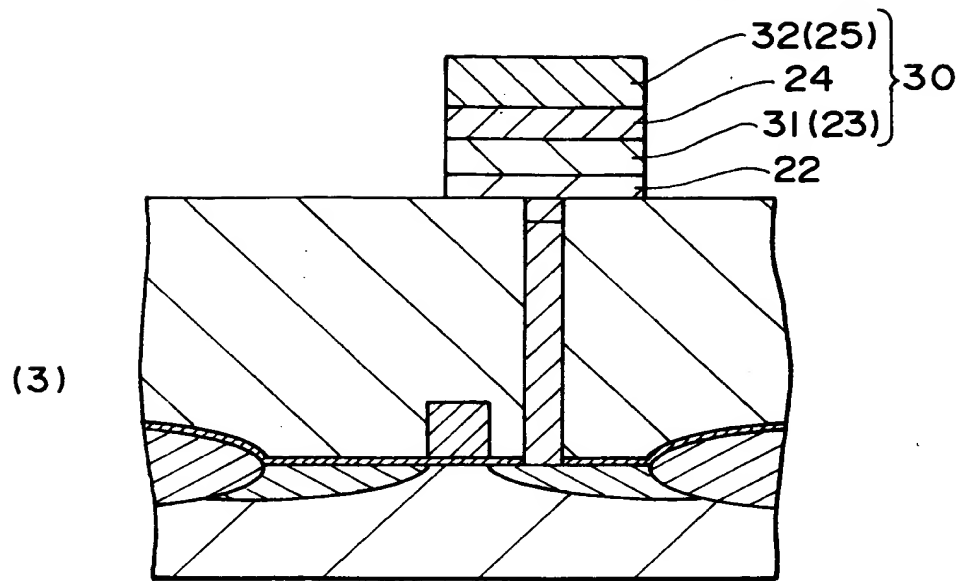
【図 5】



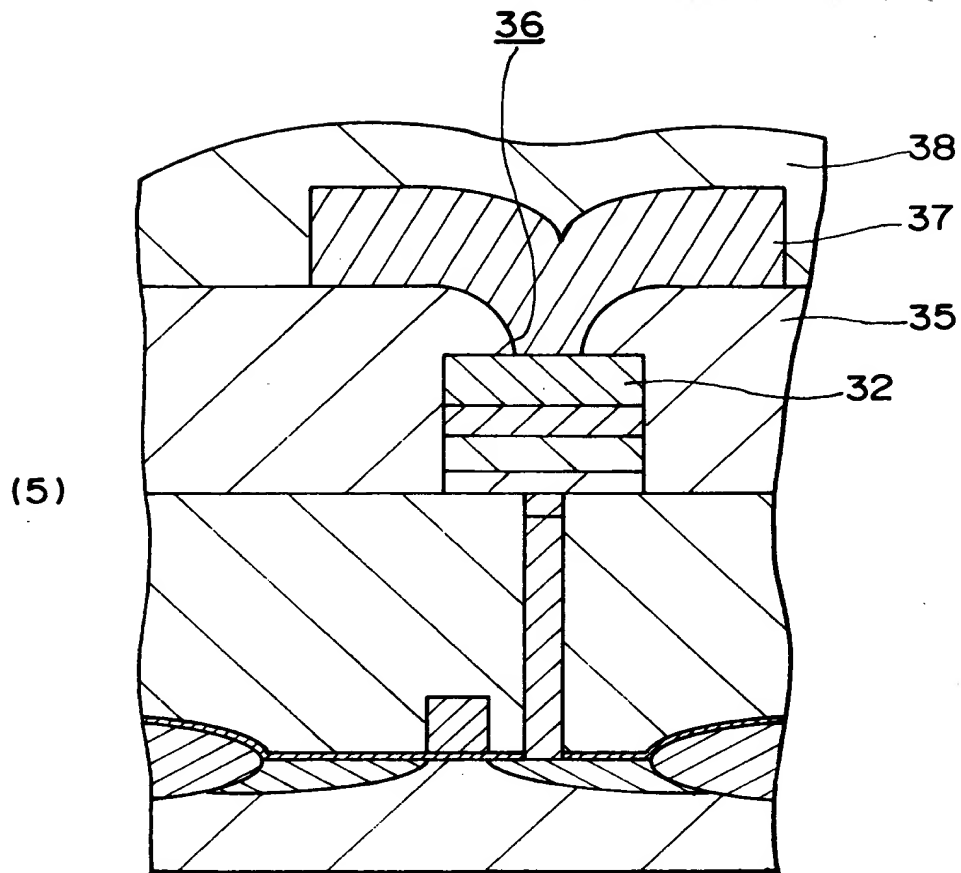
【図 6】



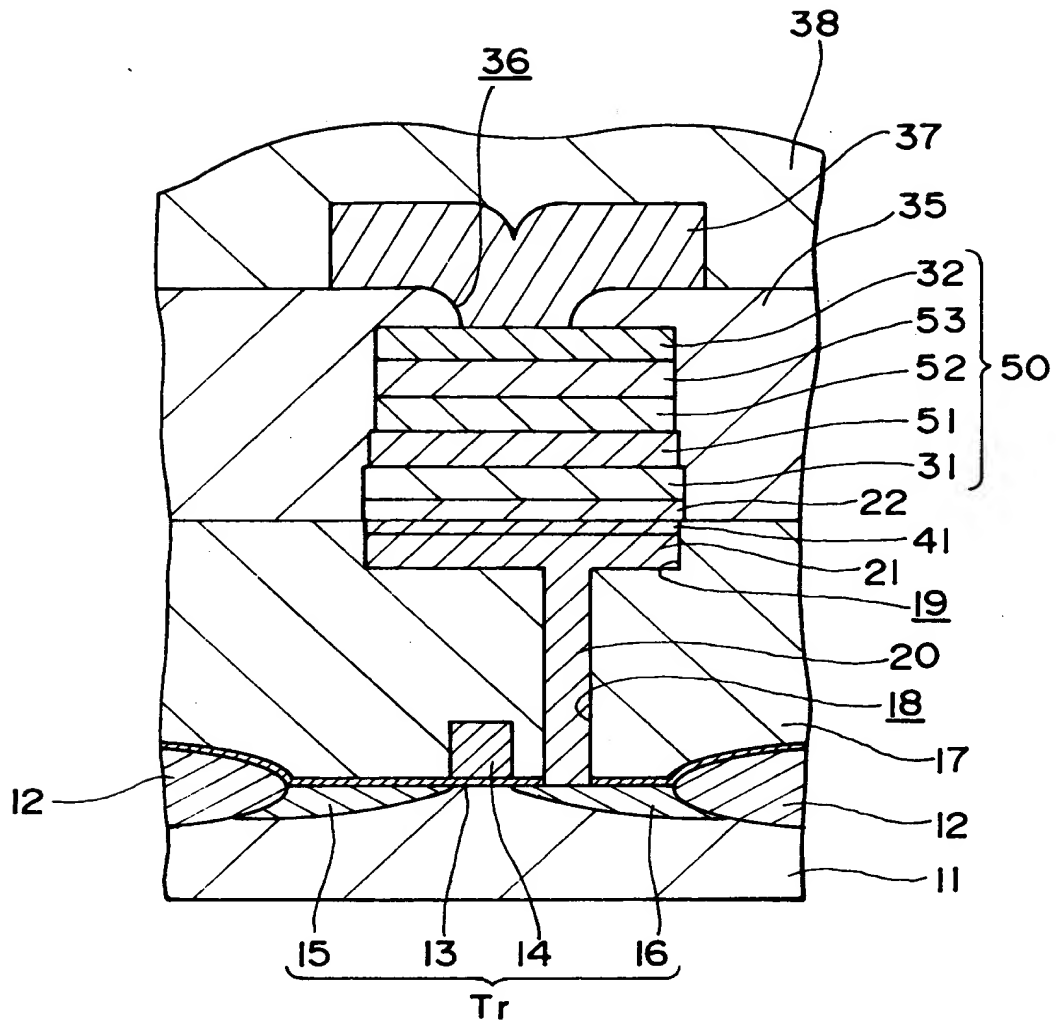
【図 7】



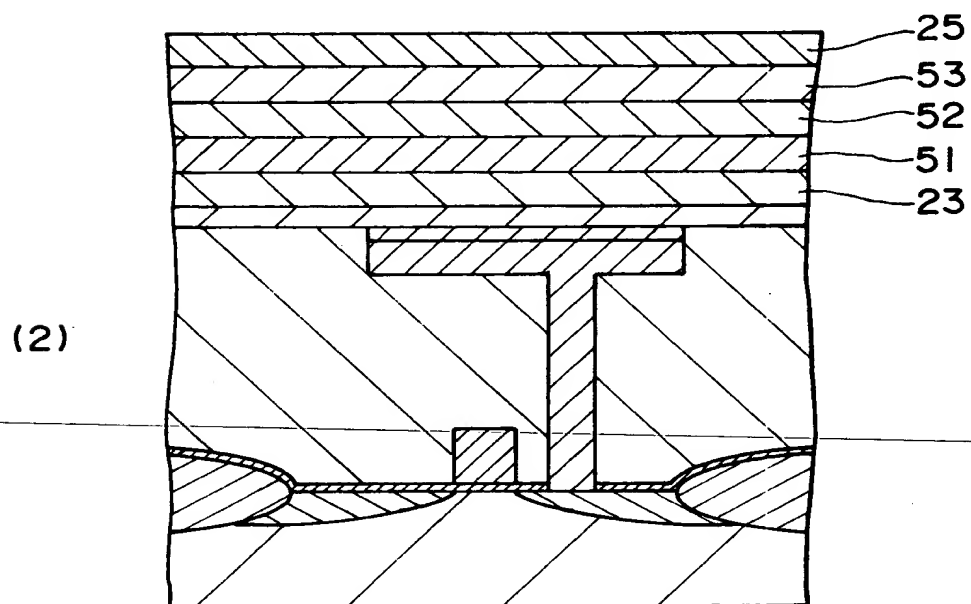
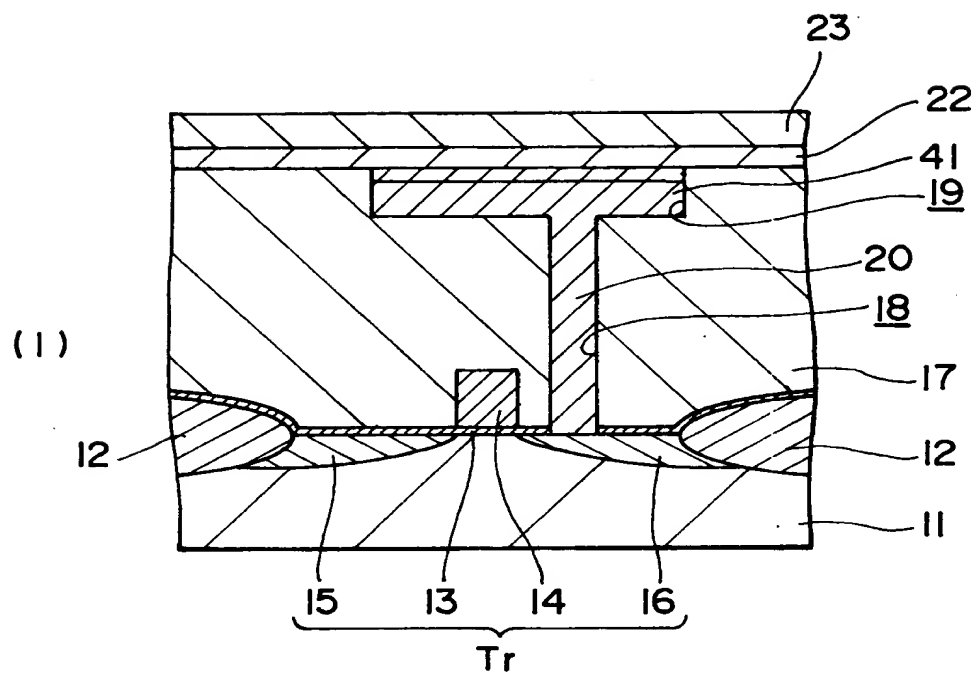
【図 8】



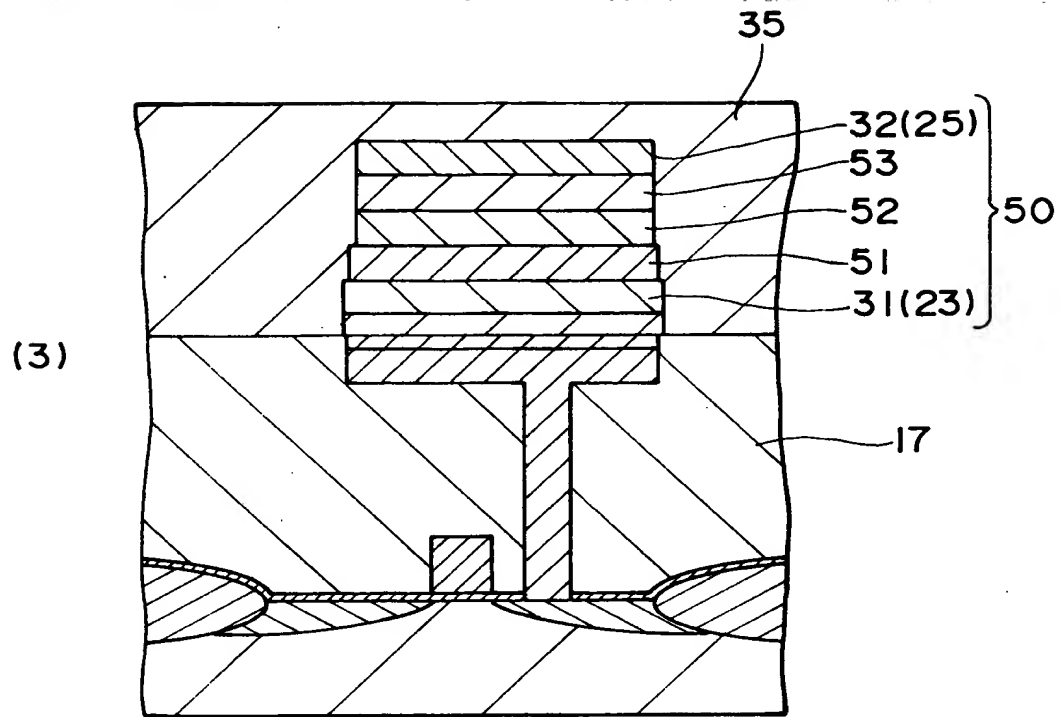
【図9】



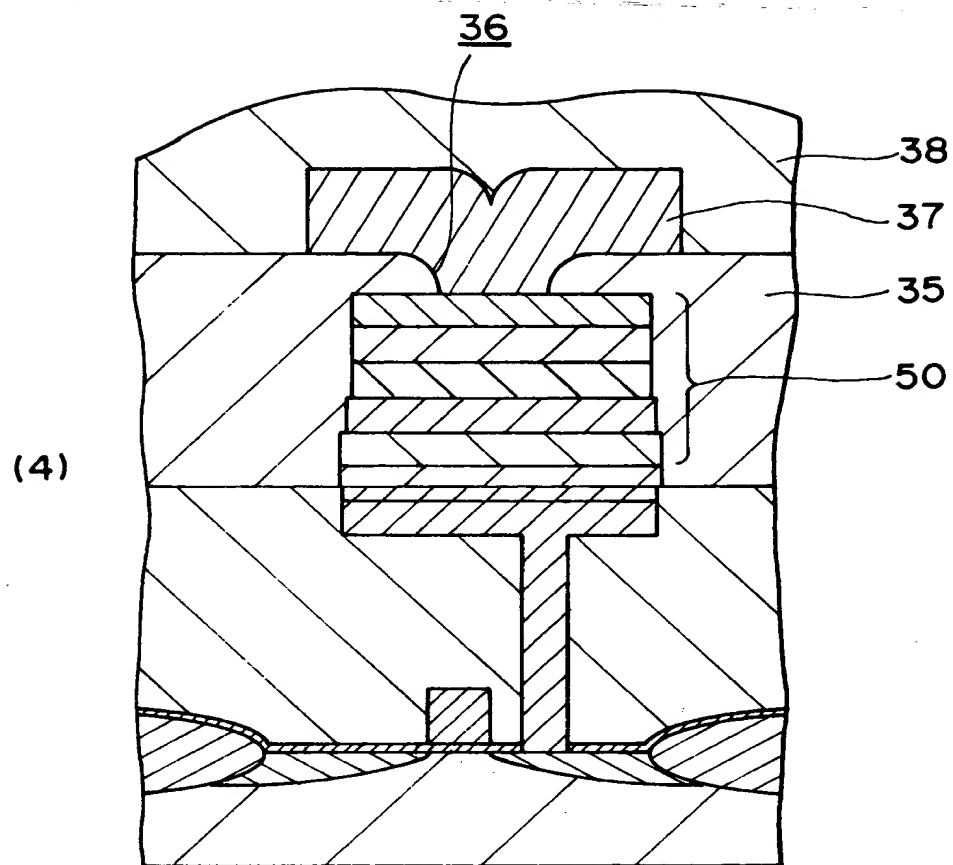
【図10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 不揮発性半導体記憶装置において、設計余裕を確保することによるデバイス設計の自由度の制限を外して高集積メモリデバイスを実現する。

【解決手段】 強誘電体薄膜 2 4 を用いたキャパシタ 3 0 を備えた不揮発性半導体記憶装置において、キャパシタ 3 0 への印加電圧としてみたとき、不揮発性半導体記憶装置の動作保証限界温度における見かけの抗電界値は、所定温度での抗電界値における不揮発性半導体記憶装置の設計裕度の範囲内にあるもので、例えば、強誘電体薄膜 2 4 に強誘電体-常誘電体相転移点が 8 0 0 ℃以上の金属酸化物として層状構造を有する金属酸化物を用いる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願2000-110139
受付番号	50000460373
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 5月12日

<認定情報・付加情報>

【提出日】	平成12年 4月12日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社